CLIPPEDIMAGE= JP361171151A

PAT-NO: JP361171151A

DOCUMENT-IDENTIFIER: JP 61171151 A

TITLE: MANUFACTURE OF MULTILAYER INTERCONNECTION

PUBN-DATE: August 1, 1986

INVENTOR-INFORMATION:
NAME
KIKUCHI, MASAHIRO
OKANO, SADAO
MOCHIZUKI, YASUHIRO
HIRAO, MITSURU
NAKAYAMA, YASUSHI

ASSIGNEE-INFORMATION:

NAME COUNTRY HITACHI LTD N/A

HITACHI HARAMACHI SEMICONDUCTOR LTD N/A

APPL-NO: JP60010924

APPL-DATE: January 25, 1985

INT-CL (IPC): H01L021/88

US-CL-CURRENT: 438/FOR.355

ABSTRACT:

PURPOSE: To contrive to improve the adhesion of the upper wiring layer by reducing the height of the columnar part of a through-hole aperture, by a method wherein the second insulation film is formed taperingly; then, a through-hole having steps is formed in the first insulation film by anisotropic dry etching.

CONSTITUTION: An Si dioxide film 2, the first layer wiring 3, and a thermosetting resin film 4 are formed on a semiconductor substrate 2. A hole 7 for through-hole formation is formed via inorganic insulation film 5 and resist 6, and a tapered hole 8 is formed by isotropic wet etching. Next, the insulation film 4 is anisotropically dry-etched; at this time, the resist pattern 6 is etched and disappears on account of the use of oxygen gas. Besides, because of strong anisotropy, etching vertically advances into a shape

like a hole 9. Further, when a reactive ion etching with oxygen is used with the mask of the insulation film 5. The insulation film 4 is vertically etched into a through-hole 10 having steps.

COPYRIGHT: (C)1986,JPO&Japio

19 日本国特許庁(JP)

⑪特許出願公開

⑩ 公 開 特 許 公 報 (A) 昭61-171151

@Int_Cl.4

識別記号

庁内整理番号

❸公開 昭和61年(1986)8月1日

H 01 L 21/88

6708-5F

審査請求 未請求 発明の数 1 (全3頁)

9発明の名称 多層配線の製造方法

②特 願 昭60-10924

②出 願 昭60(1985)1月25日

仰発 明 者 菊 雅 宏 日立市弁天町3丁目10番2号 日立原町電子工業株式会社 池 内 野 貞 夫 個発 明 者 岡 日立市久慈町4026番地 株式会社日立製作所日立研究所内 日立市久慈町4026番地 株式会社日立製作所日立研究所内 勿発 明 弘 者 望 月 康 ⑫発 明 者 平 充 日立市久慈町4026番地 株式会社日立製作所日立研究所内 尾 砂発 明 者 中山 志 日立市弁天町3丁目10番2号 日立原町電子工業株式会社 聚 内

①出 願 人 株式会社日立製作所

東京都千代田区神田駿河台4丁目6番地

①出 願 人 日立原町電子工業株式

日立市弁天町3丁目10番2号

会社

饱代 理 人 弁理士 小川 勝男 外2名

明 翻 普

発明の名称 多層配線の製造方法

特許請求の範囲

1・基板上に第1配線を形成する工程と、第1配線上に第1絡線膜を形成する工程と、第1絡線膜を形成する工程と、第2絡線膜を形成する工程と、第2絡線膜をテーパー状にする工程と、第1絡線膜に附股状の段差を持たせ、その底部に柱状の孔を形成する工程と、核導通孔を介して第1配線と接続することを特徴とした多層配線の製造方法。

発明の詳細な説明

[発明の利用分野]

本発明は、多層配線の製造方法の改良に関するものである。

(発明の背景)

半導体集積回路装置においては、多層配線の層間絶縁膜として熱硬化性樹脂膜、たとえばポリイミド膜と無機膜、たとえばプラズマデポジション 法による酸化シリコン膜との2層絶縁膜を用いる

ことがある。従来、ポリイミド膜とプラズマ酸化 シリコン膜の2層絶縁膜にスルーホールを形成す るには平行平板型プラズマエツチング装置で2層 絶無膜を異方性エツチングすることにより所定の パターンに加工するが、加工後の膜の断面は急峻 な立上り個盤面を有している。このため例えば2 層絶縁膜に設けた電極取付用期口部に例えばスパ ツタ法等によりアルミニウムを配線する場合にこ の関ロ部の側壁面には配線層が薄く形成されるよ うになり、配線の断線の原因となり、半導体装置 の信頼性が低下する。この急峻な倜襲面を改良す る方法としては、2層絶機膜を等方性のウエツト エッチングで加工する方法があるが、この方法だ とサイドエツチが生ずるためスルーホールの完成 寸法が大きくなりやすく高条積比が困難となる。 なお、この種の多層配線及びその製造方法として 関連するものには例えば特開昭59~67653 号等が 挙げられる。

(発明の目的)

本発明の目的は、祟子の集積度を低下させるこ

となく、配線の断線を防止することができ、素子 信頼性の向上をはかり得る多層配線の製造方法を 提供することにある。

(発明の概要)

本発明の特徴は上記目的を達成するために、半 導体基板配線上に形成された2 層絶線膜を譲渡上 に所定のマスクパターンを形成した後、第2 絶線 膜を等方性エツチング法を用いてエツチングし、 第1 絶線膜を異方性エツチング法により該マスク パターン用レジストが無くなるまでエツチングし その後、第2 絶線膜をマスクとして、異方性エツチング チング法によりエッチング終止点までエツチング する方法である。

[発明の実施例]

以下、本発明の一実施例を第1回により説明する。まず、第1回(a)において、シリコン単結品の半導体搭板1に拡散層などの半導体素子(回示していない)を形成し、それと同時またはその前後に半導体基板1上に例えば二酸化シリコンで6000人程度の絶縁膜2を形成する。その後に二酸

次に前記レジスト6を水分除去および耐ドライエッチ性を増すためにベークする。その後、前記レジスト6をマスクとして熱硬化性樹脂絡線を関する。から、大力を行う。前記熱硬化性樹脂もなり、カーカーがある。このが第1回(c)である。このが第1回(c)である。このが第1回(c)である。このが強いため垂直的にエッチングは異方性が強いため垂直的にエッチングは異方性が強いためを直的にエッチングは異方性が強いためを直的にエッチングは異方性が強いためる。

第1回(d)では、さらに無機箱様膜5をマスクとして酸素ガスによるドライエツチングを行う。このドライエツチングにはリアクテイブイオンエツチング法を用いるため、熱硬化性樹脂絶縁膜4は垂直にエツチングされ段差をもつスルーホール10が形成される。その後、第1回(e)に示す如く、第2配線層として例えばアルミニウム膜11をスパツタ法等により形成し多層配線が完成する。

この実施例では、第2格様膜の等方性エツチン

前記第1回(a)の工程後に、第1回(b)に 示すレジスト6をマスクとし、等方性のウエット エツチングによつてテーパーのついた穴8を形成 する。この穴8の形成は、例えばフツ酸とフツ化 アンモニウムの混合被等のフツ酸系のエツチング 被を用いて、プラズマ酸化シリコン等の無機絡 膜を0~30%程度オーバーエツチングすること により45・程度の傾斜角を持つ穴8が形成され る。

グをウェットエッチングで説明したが、等方的成分を持つガスプラズマを利用したドライエッチングを用いても同様の効果を得ることができる。また、本実施例では、2層配線構造を有する半導体装置について述べたが、3層以上の配線構造を有する半導体装置についても同様にして形成できる。

そして、半導体装置以外の多層配線にも適用することができる。

〔発明の効果〕

本発明によれば、ウエットエッチングにより第 2 絶縁膜をテーパー状に形成し、その後、マスケ パターンおよび第 2 絶縁膜をマスクとして異方性 ドライエッチングにより第 1 絶縁膜を階段上の段 とでなるスルーホールが形成される。こが緩和 ででは、このように段楚緩和するにといっては、 ま方性エッチング領域が必要以上に大きくなり、 そのために素子の集積度を向上することができないために素子の集積度を向上することができるに かつた。しかし、本発明によればサイドエツチもほとんどなくなるのでスルーホールを縮小化することができ、素子の集積度を向上させることができる。

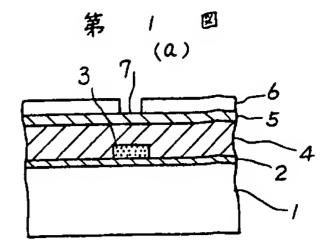
図面の簡単な説明

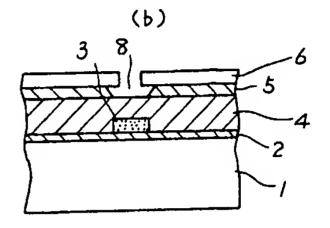
第1図(a)~(d)は本発明の多層配線の製造方法の実施順の説明図、第2図は第1図の如くして製造された完了後の断面図である。

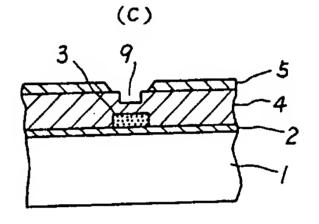
1 … 半導体基板、2 … 絶釈膜、3 … 第1 層配線、

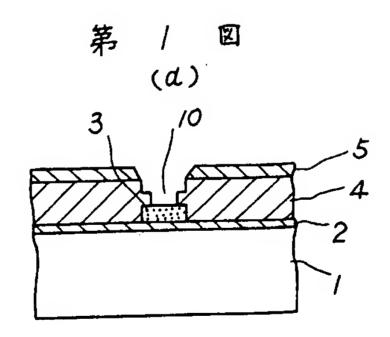
4 …然硬化性樹脂絕無膜、5 …無機絕隸膜。

代理人 弁理士 小川勝男

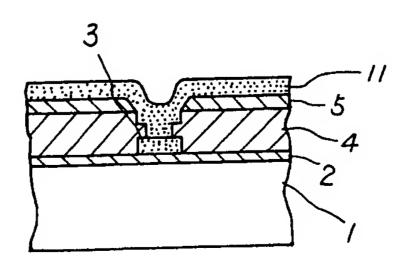












-245-